


CONDUCTIVITY MODULATION TYPE MOSFET

Patent Number: JP63224260
Publication date: 1988-09-19
Inventor(s): ITO HIROYASU; others: 02
Applicant(s):: NIPPON DENSO CO LTD
Requested Patent:  JP63224260
Application Number: JP19870057764 19870312
Priority Number(s):
IPC Classification: H01L29/78 ; H01L29/68
EC Classification:
Equivalents: JP2590863B2

Abstract

PURPOSE: To reduce voltage drop and prevent latchup, by applying a longitudinal structure to a source region and a channel region.

CONSTITUTION: Two kinds of trenches are formed on the surface of a conductivity modulation type MOSFET which has a second conductivity type semiconductor layer 12 of low impurity concentration, a first conductivity type base layer 13 and a second conductivity type source layer 14 on a first conductivity type substrate 11. A gate electrode 18 is buried in one trench 15 via an insulator 17, and a source electrode 19 is buried in the other trench 16. The gate electrode 18, the gate insulator 17, a channel region 25 and the source electrode 19 are formed in the direction perpendicular to the surface. Therefore, a positive hole current by conductivity modulation flows linearly between the gate electrode 18 and the source electrode 19 formed in the direction perpendicular to the surface, so that the voltage drop can be reduced.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2)

(11) 特許番号

第2590863号

(45) 発行日 平成9年(1997)3月12日

(24) 登録日 平成8年(1996)12月19日

(51) Int. Cl.	分類記号	発明の名称
H01L 29/78	H01L 29/78	技術的表示所
	P I	
	H01L 29/78	855A

発明の要旨 (全 8 頁)

(21) 出願番号	特願昭62-57764	(73) 特許権者	8699959599 日本電機株式会社
(22) 出願日	昭和62年(1987)3月12日	(72) 発明者	愛知県名古屋市昭和区1丁目1番地 伊藤 裕康
(65) 公開番号	特願昭63-224280	(72) 発明者	刈谷市昭和区1丁目1番地 日本電機株式会社内 戸倉 理仁
(43) 公開日	昭和63年(1988)9月19日	(72) 発明者	刈谷市昭和区1丁目1番地 日本電機株式会社内 青柳 博彦
		(74) 代理人	刈谷市昭和区1丁目1番地 日本電機株式会社内 井澤士 星田 博宣
		審査官	今井 洋一

最終頁に続く

(54) 発明の名称 導電変調型MOSFET

(57) 特許請求の範囲

【請求項1】第1導電型の基板と、この基板上に形成された第2導電型の半導体層と、この半導体層の表面に形成された低不純物濃度の第1導電型のベース層と、このベース層の上に形成された高不純物濃度の第2導電型のソース層と、前記ソース層表面から前記ベース層に達する第2の溝が形成されて、この第1の溝の溝表面にゲート絶縁膜を介して形成されたゲート電極と、前記ソース層表面から前記ベース層に達する第2の溝が形成されて、この第2の溝の溝表面に形成されたソース電極と、前記ベース層内における前記ソース電極の周辺部に形成され、前記ベース層よりも高不純物濃度の第1導電型の

高濃度ベース層と、

前記ソース層内における前記ソース電極の周辺部に、前記ソース電極を覆って形成され、前記ソース層よりも低不純物濃度の第2導電型の低濃度ソース領域とを備えることを特徴とする導電変調型MOSFET。

【請求項2】前記第1の溝および前記第2の溝は前記ソース層表面に対して直交する方向に形成されることを特徴とする特許請求の範囲第1項に記載の導電変調型MOSFET。

【請求項3】前記ゲート絶縁膜は、前記第1の溝から前記ソース層の上に亘って形成されるものであり、前記ソース層は前記ゲート絶縁膜により前記ソース電極と絶縁されることを特徴とする特許請求の範囲第1項又は第2項に記載の導電変調型MOSFET。

【請求項4】前記ソース電極は、前記ベース層内に埋め

込まれた炭素質導電物に電気的に接続されるものである特許請求の範囲第1項乃至第3項のうちいずれかに記載の導電変調型MOSFET。

【請求項5】第1導電型の基板と、

前記基板上に形成された第2導電型の半導体層と、前記半導体層の表面に形成された低不純物濃度の第1導電型のベース層と、

前記ベース層の上に形成された高不純物濃度の第2導電型のソース層と、

前記ソース層表面、前記ベース層表面および前記半導体層の表面に亘って形成されるゲート絶縁膜、を介して形成されたゲート電極と、

前記ベース層および前記ソース層に接続されたソース電極とを有し、

前記ソース層における前記ソース電極と接続する部分は、前記ベース層内に埋められる多数キャリアの移動度を増加させるように、前記ベース層よりも高不純物濃度に設定された第1導電型の高濃度ベース領域からなり、

前記ソース層における前記ソース電極と接続する部分は、前記ソース層内に埋められる多数キャリアの移動度を低減させるように、前記ソース層よりも低不純物濃度に設定された第2導電型の低濃度ソース領域からなることを特徴とする導電変調型MOSFET。

【請求項6】第1導電型の基板と、

前記基板上に形成された第2導電型の半導体層と、前記半導体層の表面に形成された第1導電型のベース層と、

前記ベース層の上に形成された第2導電型のソース層と、

前記ソース層表面、前記ベース層表面および前記半導体層の表面に亘って形成されるゲート絶縁膜、を介して形成されたゲート電極と、

前記ベース層および前記ソース層に接続されたソース電極とを有し、

前記ソース層における前記ソース電極と接続する部分は、前記ベース層内に埋められる多数キャリアの移動度を増加させるように、前記ベース層よりも高不純物濃度に設定された第1導電型の高濃度ベース領域からなり、

前記ソース層における前記ソース電極と接続する部分は、前記ソース層内に埋められる多数キャリアの移動度を低減させるように、前記ソース層よりも低不純物濃度に設定された第2導電型の低濃度ソース領域からなることを特徴とする導電変調型MOSFET。

【請求項7】第1導電型の基板と、

前記基板上に形成された第2導電型の半導体層と、前記半導体層の表面に形成された第1導電型のベース層と、

前記ベース層の上に形成された第2導電型のソース層と、

前記ソース層表面、前記ベース層表面および前記半導体層の表面に亘って形成されるゲート絶縁膜、を介して形成されたゲート電極と、

前記ベース層に接続されたソース電極と、前記ソース層内における前記ソース電極とを有し、前記ソース層内に埋められる多数キャリアの移動度を低減させる低抵抗回路とを備えることを特徴とする導電変調型MOSFET。

【発明の詳細な説明】

発明の目的

(産業上の利用分野)

この発明は電力用スイッチング素子として用いる導電変調型MOSFETに関するものである。

(従来の技術)

近年、高耐圧・低オン抵抗を両立させることができる導電変調型MOSFETが開発されている。この素子はHSA法(Half-Surface Alignment)によりソース及びチャネル領域を形成し、ドレイン領域にソース領域とは逆の導電型を設けることによりより高抵抗に導電変調を起こさせてオン抵抗を下げるようにしたものである。

即ち、第6図に示すように、p型Si基板1上の低不純

物濃度のn⁺型層2と同じ厚さから2種類の不純物を拡散し(OSA法により)、図6型層2の表面にp型ベース層3とn⁺ソース層4を形成するとともに、チャネル領域5上にゲート絶縁膜6を介してゲート電極7を形成し、さらに、n⁺ソース層4上にp型ベース層3を同時にコンタクトするためのソース電極8を形成したものである。

そして、電子電流がn⁺ソース層4からチャネル領域5を通ってn⁺型層2に注入されるとともに、p型Si基板1からn⁺型層2に正孔注入が行なわれ、この結果、n⁺型層2には多量のキャリアが蓄積による導電変調が起こる。このn⁺型層2に注入された正孔電流は第6図中破線9で示す経路にて、即ち、ベース領域におけるn⁺ソース層4との接合部分に沿ってソース電極8に抜ける。

しかし、この素子は内部に寄生サイリスタを有しておりドレイン電流が大きくなると、この寄生サイリスタがターンオンし、ラッチアップ現象が生じるという問題点があった。

これは、ゲート・ソース間の電位差を零とすれば素子はターンオフするが、素子に流れる電流密度が大きくなると前記正孔電流の経路9での電圧降下V_{th}が大きくなる(例えば、V_{th}>0.7V)。そして、p型ベース層3とn⁺ソース層4の間の接合が順バイアスされるようになること、サイリスタ動作しゲート・ソース間バイアスを零にしても素子がオフしなくなる。

この問題点を解決するために種々の提案がされている。例えば、特開昭60-196974号公報にて示されているようにソース領域直下に高濃度の不純物層を設けることにより同電流経路9での電圧降下を小さくする(抵抗を下げる)等の対策が講じられていた。

(発明が解決しようとする問題点)

しかし、上記のような対策ではソース領域の直下の電圧降下を小さくすることができず、正孔電流経路9の全断面では電圧降下を小さくすることができず、それには自ずと限界があった。

又、OSA法を使用する限り素子内のユニットの微細化によるユニット数を多くすること(ユニットの高密度化)には限界があった。即ち、OSA法による二重拡散のみにその限界が小さくなるとその開口部における不純物濃度に比べ開口部周辺の拡散による不純物濃度が低くなり正孔電流経路における抵抗が大きくなるためユニットの高密度化を行なう上で障害となっていた。

この発明の目的は、OSA法を用いずにソース及びチャネル領域の増進を促進とし、素子内のユニットの微細化によりユニット素子数を多くするとともに、ラッチアップを防止することができる導電変調型MOSFETを提供することにある。

発明の構成

(問題点を解決するための手段)

上記の目的を達成するために、第1の発明は上記目的を達成するため、第1導電型の基板と、この基板上に形

ため、ベース層および高濃度ベース領域が直列に接続された領域全体の抵抗が小さくなる。そして、ソース層内におけるソース電極の周辺部には、ソース層よりも低不純物濃度の第2導電型の高濃度ベース領域が、ソース電極を覆うように形成されているため、ソース層および低濃度ベース領域が直列に接続された領域全体の抵抗が小さくなる。この結果、ソース層および高濃度ベース領域が直列に接続された領域全体の抵抗の値と、上記ベース層および高濃度ベース領域が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層および低濃度ベース領域の電位と、ベース層および高濃度ベース領域の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

また、第1の導電型の第2の層をソース層表面に対して直交する方向に形成すれば、導電型による正孔電流は、方面に対して、平行の方向に流れるようになる。この結果、この電流経路における電圧降下を小さくすることができ、ソース層および低濃度ベース領域の電位と、ベース層および高濃度ベース領域の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

また、第2の導電型によれば、ベース層におけるソース電極と接続する部分は、ベース層内に流れる少数キャリアの移動度を増加させるように、ベース層よりも高不純物濃度に設定された第1導電型の高濃度ベース領域からなり、ソース層におけるソース電極と接続する部分は、ソース層内に流れる多数キャリアの移動度を低減させるように、ソース層よりも低不純物濃度に設定された第2導電型の高濃度ベース領域となる。この結果、ソース層および低濃度ベース領域が直列に接続された領域全体の抵抗の値と、上記ベース層および高濃度ベース領域が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層および低濃度ベース領域の電位と、ベース層および高濃度ベース領域の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

また、第3の導電型によれば、ソース電極と接続するソース層には、ソース層とは異なる抵抗成分を有し、同ソース層内に流れるキャリアの移動度を低減させる抵抗回路が設けられている。この結果、ソース層および低濃度ベース領域が直列に接続された領域全体の抵抗の値と、上記ベース層および高濃度ベース領域が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層および低濃度ベース領域の電位と、ベース層および高濃度ベース領域の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

(実施例)

以下、この発明を具体化した一実施例を図面に従って説明する。

第1図はこの発明の導電型USFETの断面図を示し、p

成された第2導電型の半導体層と、この半導体層の表面に形成された低不純物濃度の第1導電型のベース層と、このベース層の上に形成された高不純物濃度の第2導電型のソース層と、前記ソース層表面から前記半導体層に達する第1の層が形成されて、この第1の層表面にゲート絶縁膜を介して形成されたゲート電極と、前記ソース層表面から前記ベース層に達する第2の層が形成されて、この第2の層表面に形成されたゲート電極と、前記ベース層内における前記ソース電極の周辺部に形成された低不純物濃度の第1導電型の高濃度ベース領域と、前記ソース層内における前記ソース電極の周辺部に、前記ソース電極を覆って形成され、前記ソース層よりも低不純物濃度の第2導電型の高濃度ベース領域とを備えることを特徴とする導電型USFETをその要旨としている。

第2の発明は、第1導電型の基板と、前記基板の上に形成された第2導電型の半導体層と、前記半導体層の上部に形成された低不純物濃度の第1導電型のベース層と、前記ベース層の上部に形成された高不純物濃度の第2導電型のソース層と、前記ソース層表面、前記ベース層表面、前記ソース層と、前記ソース層内に形成されたゲート電極と、前記ソース層および前記半導体層の表面に互って形成された絶縁膜を介して形成されたゲート電極と、前記ベース層および前記ソース層に接続されたソース電極とを有し、前記ソース層における前記ソース電極と接続する部分は、前記ベース層内に流れる少数キャリアの移動度を増加させるように、前記ベース層よりも高不純物濃度に設定された第1導電型の高濃度ベース領域からなり、前記ソース層における前記ソース電極と接続する部分は、前記ソース層内に流れる多数キャリアの移動度を低減させるように、前記ソース層よりも低不純物濃度に設定された第2導電型の高濃度ベース領域からなることを特徴とする導電型USFETをその要旨としている。

第3の発明は、第1導電型の基板と、前記基板の上に形成された第2導電型の半導体層と、前記半導体層の上部に形成された第1導電型のベース層と、前記ベース層の上部に形成された第2導電型のソース層と、前記ソース層表面、前記ベース層表面および前記半導体層の表面に互って形成されるゲート絶縁膜を介して形成されたゲート電極と、前記ベース層に接続されたソース電極と、前記ソース層と前記ソース電極との間に接続され、前記ソース層とは異なる抵抗成分を有し、前記ソース層内に流れるキャリアの移動度を低減させる抵抗回路とを備えることを特徴とする導電型USFETをその要旨としている。

(作用)

上記の第1の発明によれば、ソース層表面からベース層に達する第2の層が形成されて、この第2の層表面にソース電極が形成されている。そして、ベース層内におけるソース電極の周辺部には、ベース層よりも高不純物濃度の第1導電型の高濃度ベース領域が形成されている

領域全体の抵抗が小さくなる。

一方、ソース層14内におけるソース電極19の周辺部には、ソース層14よりも低不純物濃度である低濃度ベース層21が、ソース電極19を覆うように形成されている。このため、ソース層14及び低濃度ベース層21が直列に接続された領域全体の抵抗が小さくなる。

この結果、ソース層14及び低濃度ベース層21が直列に接続された領域全体の抵抗の値と前記ベース層13及び高濃度ベース層21が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層14及び低濃度ベース層21の電位と、ベース層13及び高濃度ベース層21の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

さらに、この実施例では、ゲート絶縁膜12及びソース層16をソース層14表面に対して直交する方向に形成しているため、導電型による正孔電流は、その表面に対して、平行の方向に流れる。この結果、この電流経路における電圧降下を小さくすることができ、ソース層14及び低濃度ベース層21の電位と、ベース層13及び高濃度ベース層21の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

又、本実施例においては、DSB法を用いてソース及びチャネル領域の構造を形成し、ベース領域に直交的な正孔電流の経路28を形成させ、ベース層13内の直交的な電流経路を形成することができる。この低抵抗化により同電圧降下を小さくすることができ、ソース層14及び低濃度ベース層21の電位と、ベース層13及び高濃度ベース層21の電位との電位差を小さくすることができ、その結果、ランチャップ現象の発生を抑制することができる。

又、DSB法を使用しないことから素子内のコンタクトの接触によりコンタクト素子数を多くすることができ、前記の発明は上記実施例に限定されるものでなく、以下のように実施してもよい。

(イ) 第3図に示すように、周知の導電型22及びゲート絶縁膜17をソース層16の開口部を除く全ソース層14上面を覆うように形成させる。すなわち、前記実施例では、ソース層14上面にゲート絶縁膜17にて覆われない部分を設けたため、電子電流がソース層14及び上部のソース電極19からソース層14及びチャネル領域を通って流れることになる。しかし、この実施例では、低濃度ベース層21の上面はゲート絶縁膜17により覆われているため、電子電流はソース層16に位置する部分のソース電極19から低濃度ベース層21を介してソース層14を流れて流れる。このようにすることにより、ゲート電極18とソース電極19との間のソース領域の電圧降下は、第3図中B-B'における不純物濃度及び抵抗率の分布状態を示す第4図のようになる。

従って、ソース電極19の近傍のソース領域において、第3図中B-B'で示す電子電流の電圧降下の経路27が形成され、電圧降下27が生じる。そして、前記ベース領域（正孔

型基板11上には低不純物濃度のn-半導体層12が形成されている。このn-半導体層12の表面にはn-ベース層13が、同ベース層13上にn-ソース層14が形成されている。この半導体層13には所定距離をおいて直交する2種類の導電型（第1の導電型はゲート絶縁膜12の層としてのソース層14の層と）のn-半導体層12内まで形成され、そのゲート絶縁膜17を介してゲート電極18が埋め込まれている。又、前記ソース層16にはソース電極19が埋め込まれ、このソース電極19を埋め込んだ領域16の周辺部には高不純物濃度のp-層20が形成されている。この高不純物濃度p-層20によりソース電極19の近傍のベース領域には高濃度ベース層21が形成されている。図中、p++で示す）21が、又、ソース領域には低抵抗回路としての低濃度ベース層22が形成される。

前記ソース電極19とゲート電極18とは層間絶縁膜23にて電気的に絶縁されている。この層間絶縁膜23及び前記ゲート絶縁膜17はゲート絶縁膜15とソース層16の間のn-ソース層14上面においてその中間位置まで覆い、ソース電極19はソース領域における低濃度ベース層21上面を含むソース層16上面とコンタクトしている。又、前記p型基板11の表面にはドレイン電極24が形成されている。

このようにゲート電極18とゲート絶縁膜17とを直交方向（半導体層に対して直交）に形成することにより、同じく表面に対して直交するチャネル領域が形成され、ゲート電極18、ゲート絶縁膜17、チャネル領域25及びソース電極19がそれぞれ平行に、かつ表面に対して直交する方向に設けられた構造となる。よって、ソース電極19とゲート電極18を直交方向に向向させることにより、ベース層13においてソース電極19とゲート電極18とが直線的に配置されることになる。

次に、このように構成した導電型USFETの動作について説明する。ゲート電極18にカーンオン電圧以上の電圧を印加すると、n-ソース層14からチャネル領域25を起してn-半導体層12へ電子電流が流れる。これに対してp型基板11からn-半導体層12への正孔注入が起り、その結果、n-半導体層12には導電型が起る。そして、n-半導体層12に注入された正孔電流は第1図中破線で示す直線的な電流経路28でベース層13を通りソース電極19に流れる。

この際、チャネル領域25を形成するのに必要な低濃度ベース層13において高濃度ベース層21が形成されているので、第1図中A-A'における不純物濃度及び抵抗率の分布状態を示す第2図のようになり、ベース層13内の電圧降下を低減させることができる。

すなわち、ソース層14表面からベース層13に達するソース電極19が形成されており、このソース層16の表面にソース電極19が形成した。そして、ベース層13内におけるソース電極19の周辺部には、ベース層13よりも高不純物濃度である高濃度ベース層21が形成されているため、ベース層13及び高濃度ベース層21が直列に接続された

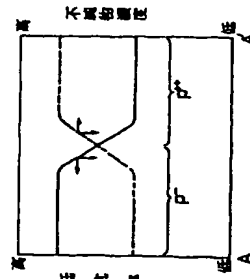
電流経路26)での電圧降下 V_{DS} とソース領域(電子電流経路27)での電圧降下 V_{DS} によりソースとドレーンに印加される有効電圧は両者の和($=V_{DS}-V_{DS}$)、即ち相殺された値となり、上記実施例のMOSFETよりも更にラッチアップ現象の発生を防止することができるとなる。

すなわち、この実施例では、全ソース層14上面全体にゲート絶縁膜17を形成した。そして、ソース層14内における電極19の周辺部には、ソース層14よりも低不純物濃度である低濃度 n -層22が、ソース電極19を覆うように形成されている。このため、ソース層14及び低濃度 n -層22が直列に接続された領域全体の抵抗が大きくなる。

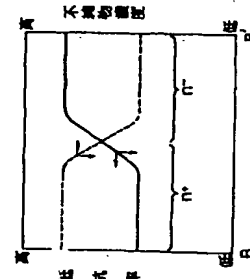
一方、ソース層13内におけるソース電極19の周辺部には、ソース層13よりも高不純物濃度である超高濃度 p -層21が形成されているため、ソース層13及び超高濃度 p -層21が直列に接続された領域全体の抵抗が小さくなる。この結果、ソース層14及び低濃度 n -層22が直列に接続された領域全体の抵抗の値と、前記ソース層13及び超高濃度 p -層21が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層14及び低濃度 n -層22の電位と、ソース層13及び超高濃度 p -層21の電位との電位差を小さくすることができ、その結果、ラッチアップ現象の発生を抑制することができるとなる。

(ロ) 第5図に示すように、 p -ソース層13の中に単結晶半導体28(例えば、 GaSi 等)をエピタキシャル成長させた後に同導体28を埋め込む。そして、この導体28とソース電極19を接続させる。よって、 n -ソース層14の直下の p -ソース層13内の電圧降下を低減させることにより電圧降下 V_{DS} を小さくし、ラッチアップの発生を防止することができるとなる。

【第2図】



【第4図】



(ハ) 上記各実施例においてはソース電極19を p -ソース層13より深く埋め込みその周辺部には高不純物濃度 p -層20を設けたが、ソース層16及びソース電極19の下端部を p -ソース層13内までにして実施してもよい。この場合、コンタクト及び埋込のための高不純物濃度 p -層20の形成が不要となる。

(ニ) 上記実施例では第1導電型を p 型とし第2導電型を n 型としたが逆に実施してもよい。

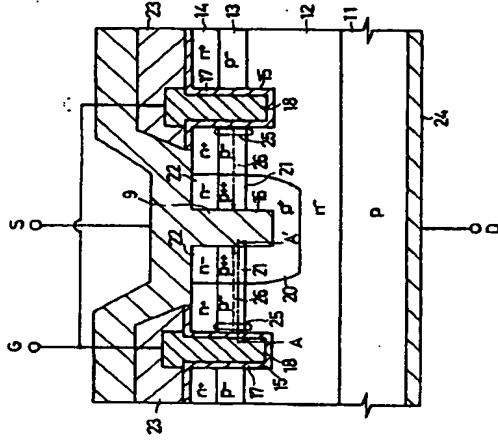
以上詳述したように、この発明はソース層および低濃度ソース領域が直列に接続された領域全体の抵抗の値と、ソース層および高濃度 p -層領域が直列に接続された領域全体の抵抗の値とを近づけることができるため、ソース層および低濃度ソース領域の電位と、ソース層および高濃度 p -層領域の電位との電位差を小さくすることができ、ラッチアップ現象の発生を抑制することができるとなる。

【図面の簡単な説明】

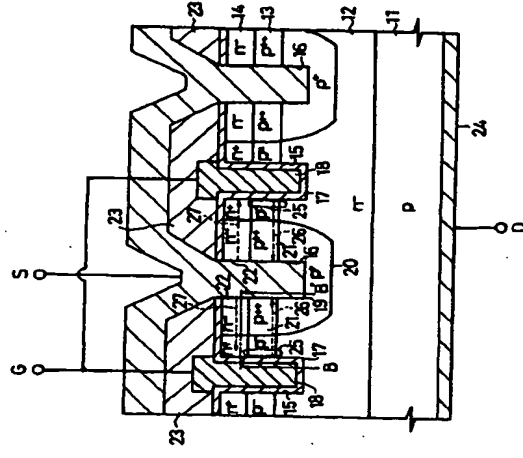
第1図はこの発明を具体化した半導体装置MOSFETの断面図、第2図は第1図における $A-A'$ 断面における不純物濃度及び抵抗率を示す図、第3図は別例の半導体装置MOSFETの断面図、第4図は第3図における $B-B'$ 断面における不純物濃度及び抵抗率を示す図、第5図は従来の別例を示す半導体装置MOSFETの断面図、第6図は従来の半導体装置MOSFETの断面図である。

11は p -ソース層、12は n -半導体層、13は p -ソース層、14は n -ソース層、15はゲート層、16はソース層、17はゲート絶縁膜、18はゲート電極、19はソース電極、20は高不純物濃度 p -層、21は超高濃度 p -層、22は低濃度 n -層、25はチャネル領域、26は単結晶半導体である。

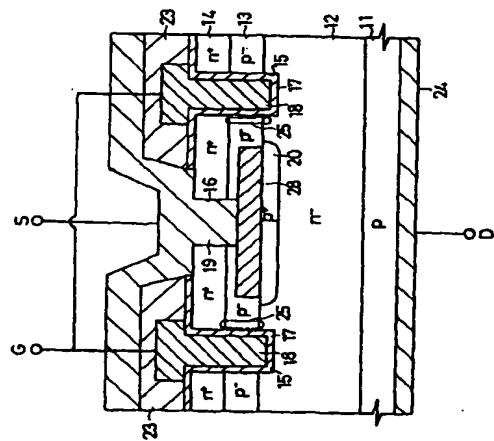
【第1図】



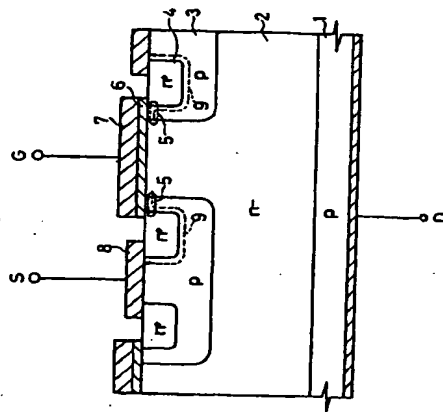
【第3図】



【第5図】



【第6図】



フロントページの続き

(56) 参考文献 特開 昭58-137254 (J.P., A)
特開 昭57-72365 (J.P., A)
特開 昭61-171162 (J.P., A)